

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Takuma HARA, et al.

GAU:

SERIAL NO: New Application

EXAMINER:

FILED: Herewith

FOR: SEMICONDUCTOR DEVICE

REQUEST FOR PRIORITY

COMMISSIONER FOR PATENTS
ALEXANDRIA, VIRGINIA 22313

SIR:

- ☐ Full benefit of the filing date of U.S. Application Serial Number _____, filed _____, is claimed pursuant to the provisions of 35 U.S.C. §120.
- ☐ Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of 35 U.S.C. §119(e):
Application No. _____ Date Filed _____
- ☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

COUNTRY

APPLICATION NUMBER

MONTH/DAY/YEAR

Japan

2002-256774

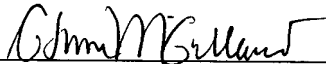
September 2, 2002

Certified copies of the corresponding Convention Application(s)

- ☒ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee
- ☐ were filed in prior application Serial No. _____ filed _____
- ☐ were submitted to the International Bureau in PCT Application Number _____
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- ☐ (A) Application Serial No.(s) were filed in prior application Serial No. _____ filed _____; and
- ☐ (B) Application Serial No.(s) _____
☐ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.



Marvin J. Spivak

Registration No. 24,913

C. Irvin McClelland
Registration Number 21,124



22850

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年 9月 2日

出 願 番 号

Application Number:

特願2002-256774

[ST.10/C]:

[JP 2002-256774]

出 願 人

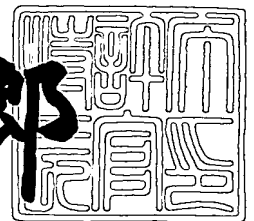
Applicant(s):

株式会社東芝

2003年 3月24日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田 信一郎



出証番号 出証特2003-3019023

【書類名】 特許願

【整理番号】 PTS0184

【提出日】 平成14年 9月 2日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 29/73

【発明の名称】 半導体装置

【請求項の数】 15

【発明者】

【住所又は居所】 神奈川県川崎市幸区小向東芝町 1 番地 株式会社東芝
マイクロエレクトロニクスセンター内

【氏名】 原 琢磨

【発明者】

【住所又は居所】 神奈川県川崎市幸区小向東芝町 1 番地 株式会社東芝
マイクロエレクトロニクスセンター内

【氏名】 北川 光彦

【特許出願人】

【識別番号】 000003078

【氏名又は名称】 株式会社 東芝

【代理人】

【識別番号】 100088487

【弁理士】

【氏名又は名称】 松山 允之

【選任した代理人】

【識別番号】 100108062

【弁理士】

【氏名又は名称】 日向寺 雅彦

【手数料の表示】

【予納台帳番号】 087469

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置

【特許請求の範囲】

【請求項 1】

第 1 の主電極と、

第 2 の主電極と、

第 1 導電型の半導体ベース領域と、

前記半導体ベース領域を貫通して形成されたトレンチ内に絶縁膜を介して設けられたゲート電極と、

前記半導体ベース領域の下に設けられた第 2 導電型の半導体領域及び第 1 導電型の半導体領域と、

を備え、

前記第 1 及び第 2 の主電極の間に所定方向の電圧を印加した時のこれら電極間の電流の流れを、前記ゲート電極に印加する電圧に応じて制御可能とした半導体装置であって、

前記第 2 導電型の半導体領域と前記第 1 導電型の半導体領域との接合部分から伸びる空乏化領域が前記トレンチに至ることを特徴とする半導体装置。

【請求項 2】

前記所定方向の電圧を印加した時に、前記第 2 導電型の半導体領域と前記第 1 導電型の半導体領域との接合部に形成される p n 接合に順方向の電圧が印加されることを特徴とする請求項 1 記載の半導体装置。

【請求項 3】

前記第 1 導電型の半導体領域は、前記トレンチに接して設けられたことを特徴とする請求項 1 または 2 に記載の半導体装置。

【請求項 4】

前記トレンチの底部は、前記第 1 導電型の半導体領域内に設けられたことを特徴とする請求項 1 ～ 3 のいずれか 1 つに記載の半導体装置。

【請求項 5】

前記半導体ベース領域の下に、複数の前記第 2 導電型の半導体領域と複数の前

記第 1 導電型の半導体領域とが交互に積層されてなることを特徴とする請求項 1 ～ 4 のいずれか 1 つに記載の半導体装置。

【請求項 6】

前記第 1 導電型の半導体領域は、前記トレンチから離間して設けられたことを特徴とする請求項 1 または 2 に記載の半導体装置。

【請求項 7】

前記第 1 導電型の半導体領域と、前記第 2 導電型の半導体領域と、は、前記トレンチの深さ方向に対して略垂直な面内において交互に設けられたことを特徴とする請求項 1 に記載の半導体装置。

【請求項 8】

第 2 導電型の第 1 の半導体領域と、
前記第 1 の半導体領域の上に設けられた第 1 導電型の第 2 の半導体領域と、
前記第 2 の半導体領域の上に設けられた第 2 導電型の第 3 の半導体領域と、
前記第 3 の半導体領域の上に設けられた第 1 導電型の第 4 の半導体領域と、
前記第 4 の半導体領域の上に設けられた第 2 導電型の第 5 の半導体領域と、
少なくとも前記第 5 乃至第 3 の半導体領域を貫通して形成され、その底部が前記第 2 の半導体領域内に設けられたトレンチと、
前記トレンチ内に絶縁膜を介して設けられたゲート電極と、
を備えたことを特徴とする半導体装置。

【請求項 9】

第 2 導電型の第 1 の半導体領域と、
前記第 1 の半導体領域の上に設けられた第 1 導電型の第 2 の半導体領域と、
前記第 2 の半導体領域の上に設けられた第 2 導電型の第 3 の半導体領域と、
前記第 3 の半導体領域の上に設けられた第 1 導電型の第 4 の半導体領域と、
前記第 4 の半導体領域の上に設けられた第 2 導電型の第 5 の半導体領域と、
少なくとも前記第 5 乃至第 3 の半導体領域を貫通して形成され、その底部が前記第 2 の半導体領域の上面と下面との間の高さに位置するトレンチと、
前記トレンチの底部に接して形成された第 2 導電型の第 6 の半導体領域と、
前記トレンチ内に絶縁膜を介して設けられたゲート電極と、

を備えたことを特徴とする半導体装置。

【請求項 1 0】

前記第 6 の半導体領域は、前記第 2 の半導体領域との接合により空乏化してなることを特徴とする請求項 9 記載の半導体装置。

【請求項 1 1】

第 2 導電型の第 1 の半導体領域と、

前記第 1 の半導体領域の上に設けられ、第 1 導電型の第 2 の半導体領域と第 2 導電型の第 3 の半導体領域とが交互に配列してなる半導体層と、

前記半導体層の上に設けられた第 1 導電型の第 4 の半導体領域と、

前記第 4 の半導体領域の上に設けられた第 2 導電型の第 5 の半導体領域と、

少なくとも前記第 5 及び第 4 の半導体領域を貫通して形成され、その底部が前記半導体層内に設けられたトレンチと、

前記トレンチ内に絶縁膜を介して設けられたゲート電極と、

を備えたことを特徴とする半導体装置。

【請求項 1 2】

前記第 2 及び第 3 の半導体領域が実質的に空乏化してなることを特徴とする請求項 8 ～ 1 1 のいずれか 1 つに記載の半導体装置。

【請求項 1 3】

前記第 2 及び第 3 の半導体領域のキャリア濃度は、 $3 \times 10^{16} / \text{cm}^3$ 以下であることを特徴とする請求項 8 ～ 1 0 のいずれか 1 つに記載の半導体装置。

【請求項 1 4】

前記第 2 及び第 3 の半導体領域のキャリア濃度は、 $3 \times 10^{17} / \text{cm}^3$ 以下であることを特徴とする請求項 1 1 記載の半導体装置。

【請求項 1 5】

前記第 2 及び第 3 の半導体領域のキャリア濃度は、 $5 \times 10^{15} / \text{cm}^3$ 以上であることを特徴とする請求項 8 ～ 1 4 のいずれか 1 つに記載の半導体装置。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、半導体装置に関し、特に、トレンチゲート型の構造を有する半導体装置に関する。

【0002】

【従来の技術】

パワーMOSFET (Metal-Oxide-Semiconductor Field Effect Transistor) やIGBT (Insulated Gate Bipolar Transistor) などの半導体装置は、電力制御用を始めとする各種の分野に利用されている。近年の省エネルギー化などの傾向から、これらの半導体装置に対しても、高効率化が要求されている。このためには、素子の導通損失の低減すなわち「オン抵抗」の低減が有効である。このために、セルの微細化によるオン抵抗の低減が図られてきた。また、素子構造に「トレンチゲート構造」を採用することで、チャネル幅を稼ぎ、大幅な高密度化が実現できるようになった。現在は、トレンチゲート構造による更なる微細化がなされ、素子のオン抵抗は大幅に改善されるに至っている。このように高密度化したトレンチゲート型の半導体装置を開示した例としては、例えば、梯子状のトレンチゲートを採用することにより、チャネル密度の増大及び伝導度変調の促進を両立したものがある（特許文献1参照）。

【0003】

【特許文献1】

特開2001-102579号公報

【0004】

図24は、本発明者が本発明に至る過程で検討した半導体装置を表す模式図である。

【0005】

すなわち、同図は、トレンチゲート型のnチャネル型MOSFETのゲート付近の断面構造を表す。n+型基板7の上には、n-型エピタキシャル領域6とp型ベース領域5が積層され、その表面からエピタキシャル層6に至るトレンチが形成されて、その中にゲート酸化膜3と埋め込みゲート電極1とからなる埋め込みゲートが設けられている。埋め込みゲートの上には層間絶縁膜4が適宜設けられ、またトレンチの周辺にはn型ソース領域2が形成されている。また、基板7

の裏面側には、ドレイン領域 8 が適宜設けられている。

【0006】

この MOSFET は、ゲート電極 1 に所定のバイアス電圧を印加することにより、埋め込みトレンチの周囲にチャネル領域を形成して、ソース領域 2 とドレイン領域 8 との間を「オン」状態とするスイッチング動作をさせることができる。

【0007】

【発明が解決しようとする課題】

さて、このような半導体装置において、動作効率を改善するためには、「オン抵抗」の低減とともに、「寄生容量」を低減させて動作速度を上げることが重要である。

【0008】

例えば、複数のスイッチング素子を組み合わせてインバータ制御などを行う場合、素子の動作速度が遅いと、整流アームの貫通電流を防ぐために、アームを構成するスイッチング素子の全てを「オフ」となる「デッドタイム」を長く設定する必要があり、損失が生ずる。これに対して、スイッチング素子の寄生容量を低下させて動作速度が速くなれば、「デッドタイム」を短縮することができ、損失を減らすことができる。

【0009】

図 24 に例示した半導体装置の寄生容量は、いくつかの成分に分けることができる。

【0010】

まず、ドレイン・ゲート間容量 (C_{gd}) を挙げることができる。これは、エピタキシャル領域 6 とゲート酸化膜 3 とが接する部分において生ずる。次に、ドレイン・ソース間容量 (C_{ds}) を挙げることができる。これは、エピタキシャル領域 6 とベース領域 5 とが接する $p-n$ 接合部において生ずる。また、ゲート・ソース間容量 (C_{gs}) を挙げることができる。これは、ゲート酸化膜 3 とソース領域 2 及び、ゲート酸化膜 3 とベース領域 5 とが接する部分において生ずる。

【0011】

これらの容量成分は、半導体装置のスイッチング動作に損失を与えるため、容

量を低下させる必要がある。容量の低減のためには、これらの接触部の面積を小さくする方法や、各半導体領域のキャリア濃度を下げることにより空乏化を促進させる方法なども考えられる。しかし、これらの方法による場合、半導体装置の「オン抵抗」あるいは「耐圧」と、「寄生容量」とがトレードオフの関係となり、総合的な性能の改良が困難になるという問題があった。

【 0 0 1 2 】

本発明は、かかる課題の認識に基づいてなされたものであり、その目的は、「オン抵抗」や「耐圧」を大幅に劣化させることなく、「寄生容量」を低下させることにより総合的な性能を改良できるトレンチゲート型の半導体装置を提供することにある。

【 0 0 1 3 】

【課題を解決するための手段】

上記目的を達成するために、本発明の第 1 の半導体装置は、

第 1 の主電極と、

第 2 の主電極と、

第 1 導電型の半導体ベース領域と、

前記半導体ベース領域を貫通して形成されたトレンチ内に絶縁膜を介して設けられたゲート電極と、

前記半導体ベース領域の下に設けられた第 2 導電型の半導体領域及び第 1 導電型の半導体領域と、

を備え、

前記第 1 及び第 2 の主電極の間に所定方向の電圧を印加した時のこれら電極間の電流の流れを、前記ゲート電極に印加する電圧に応じて制御可能とした半導体装置であって、

前記第 2 導電型の半導体領域と前記第 1 導電型の半導体領域との接合部分から伸びる空乏化領域が前記トレンチに至ることを特徴とする。

【 0 0 1 4 】

上記構成によれば、「オン抵抗」や「耐圧」を大幅に劣化させることなく、「寄生容量」を低下させることにより総合的な性能を改良できる。

【 0 0 1 5 】

ここで、前記所定方向の電圧を印加した時に、前記第 2 導電型の半導体領域と前記第 1 導電型の半導体領域との接合部に形成される p n 接合に順方向の電圧が印加されるものとすることができる。

【 0 0 1 6 】

また、前記第 1 導電型の半導体領域は、前記トレンチに接して設けられたものとすることができる。

【 0 0 1 7 】

また、前記トレンチの底部は、前記第 1 導電型の半導体領域内に設けられたものとすることができる。

【 0 0 1 8 】

また、前記半導体ベース領域の下に、複数の前記第 2 導電型の半導体領域と複数の前記第 1 導電型の半導体領域とが交互に積層されてなるものとすることができる。

【 0 0 1 9 】

また、前記第 1 導電型の半導体領域は、前記トレンチから離間して設けられたものとすることができる。

【 0 0 2 0 】

また、前記第 1 導電型の半導体領域と、前記第 2 導電型の半導体領域と、は、前記トレンチの深さ方向に対して略垂直な面内において交互に設けられたものとすることができる。

【 0 0 2 1 】

また、本発明の第 2 の半導体装置は、

第 2 導電型の第 1 の半導体領域と、

前記第 1 の半導体領域の上に設けられた第 1 導電型の第 2 の半導体領域と、

前記第 2 の半導体領域の上に設けられた第 2 導電型の第 3 の半導体領域と、

前記第 3 の半導体領域の上に設けられた第 1 導電型の第 4 の半導体領域と、

前記第 4 の半導体領域の上に設けられた第 2 導電型の第 5 の半導体領域と、

少なくとも前記第 5 乃至第 3 の半導体領域を貫通して形成され、その底部が前

記第 2 の半導体領域内に設けられたトレンチと、

前記トレンチ内に絶縁膜を介して設けられたゲート電極と、
を備えたことを特徴とする。

【 0 0 2 2 】

上記構成によっても、「オン抵抗」や「耐圧」を大幅に劣化させることなく、
「寄生容量」を低下させることにより総合的な性能を改良できる。

【 0 0 2 3 】

また、本発明の第 3 の半導体装置は、
第 2 導電型の第 1 の半導体領域と、
前記第 1 の半導体領域の上に設けられた第 1 導電型の第 2 の半導体領域と、
前記第 2 の半導体領域の上に設けられた第 2 導電型の第 3 の半導体領域と、
前記第 3 の半導体領域の上に設けられた第 1 導電型の第 4 の半導体領域と、
前記第 4 の半導体領域の上に設けられた第 2 導電型の第 5 の半導体領域と、
少なくとも前記第 5 乃至第 3 の半導体領域を貫通して形成され、その底部が前
記第 2 の半導体領域の上面と下面との間の高さに位置するトレンチと、
前記トレンチの底部に接して形成された第 2 導電型の第 6 の半導体領域と、
前記トレンチ内に絶縁膜を介して設けられたゲート電極と、
を備えたことを特徴とする。

【 0 0 2 4 】

上記構成によっても、「オン抵抗」や「耐圧」を大幅に劣化させることなく、
「寄生容量」を低下させることにより総合的な性能を改良できる。

【 0 0 2 5 】

ここで、前記第 6 の半導体領域は、前記第 2 の半導体領域との接合により空乏
化してなるものとすることができる。

【 0 0 2 6 】

また、本発明の第 4 の半導体装置は、
第 2 導電型の第 1 の半導体領域と、
前記第 1 の半導体領域の上に設けられ、第 1 導電型の第 2 の半導体領域と第 2
導電型の第 3 の半導体領域とが交互に配列してなる半導体層と、

前記半導体層の上に設けられた第 1 導電型の第 4 の半導体領域と、
 前記第 4 の半導体領域の上に設けられた第 2 導電型の第 5 の半導体領域と、
 少なくとも前記第 5 及び第 4 の半導体領域を貫通して形成され、その底部が前記半導体層内に設けられたトレンチと、
 前記トレンチ内に絶縁膜を介して設けられたゲート電極と、
 を備えたことを特徴とする。

【 0 0 2 7 】

上記構成によっても、「オン抵抗」や「耐圧」を大幅に劣化させることなく、「寄生容量」を低下させることにより総合的な性能を改良できる。

【 0 0 2 8 】

上記した第 2 乃至図 4 の半導体装置において、前記第 2 及び第 3 の半導体領域が実質的に空乏化してなるものとすることができる。

【 0 0 2 9 】

また、前記第 2 及び第 3 の半導体領域のキャリア濃度は、 $3 \times 10^{16} / \text{cm}^3$ 以下であるものとすることができる。

【 0 0 3 0 】

また、前記第 2 及び第 3 の半導体領域のキャリア濃度は、 $3 \times 10^{17} / \text{cm}^3$ 以下であるものとすることもできる。

【 0 0 3 1 】

また、前記第 2 及び第 3 の半導体領域のキャリア濃度は、 $5 \times 10^{15} / \text{cm}^3$ 以上であるものとすることもできる。

【 0 0 3 2 】

【発明の実施の形態】

以下、図面を参照しつつ本発明の実施の形態について説明する。

【 0 0 3 3 】

(第 1 の実施の形態)

図 1 は、本発明の第 1 の実施の形態にかかる半導体装置の要部断面構造を例示する模式図である。

【 0 0 3 4 】

すなわち、同図は、トレンチゲート型の半導体装置を表す。この半導体装置の場合、 n^+ 型基板 7 の上に設けられた n^- 型エピタキシャル領域 6 と p 型ベース領域 5 との間に、薄い p 型領域 10 と n 型領域 9 とが、この順に挿入されている。これら p 型領域 10 と n 型領域 9 は、それらの間に形成される p n 接合により実質的に空乏化される。

【 0 0 3 5 】

図 2 は、p 型領域 10 と n 型領域 9 との p n 接合から空乏化領域 D P が広がった状態を表す概念図である。本実施形態においては、このような空乏化領域 D P をトレンチの周囲に形成することより、特に、ドレイン・ソース間容量 C_{ds} とドレイン・ゲート間容量 C_{gd} を効果的に下げることができる。その結果として、半導体装置の寄生容量を低下させて、「オン抵抗」と「寄生容量」との乗算値を下げるができる。

【 0 0 3 6 】

以下、本実施形態において得られる効果について定量的に説明する。

【 0 0 3 7 】

まず、n 型領域 9 と p 型領域 10 のキャリア濃度を種々に変えた場合に得られる半導体装置の特性について説明する。

【 0 0 3 8 】

図 3 は、n 型領域 9 と p 型領域 10 のキャリア濃度と半導体装置の諸特性を表す一覧表である。

【 0 0 3 9 】

ここで、「構造 A」は、本実施形態の構造を有するものであり、図 4 にその要部を表したように、n 型領域 9 と p 型領域 10 が設けられた構造を表す。ここで、n 型領域 9 および p 型領域 10 の層厚は、それぞれ $0.2 \mu m$ とした。また、これら領域 9 及び 10 の接合部すなわち p n 接合が、トレンチゲートの底から上方に $0.1 \mu m$ に位置するものとした。

【 0 0 4 0 】

一方、「構造 B」は、図 5 にその要部を表したように、n 型領域 9 と p 型領域 10 を設けず、n 型エピタキシャル領域 6 の上に p 型ベース領域が積層された構

造である。

【0041】

これらいずれの構造においても、セルピッチは $1.05\mu\text{m}$ 、トレンチの幅は $0.55\mu\text{m}$ 、トレンチの深さは $2\mu\text{m}$ とした。また、p型ベース領域5のキャリア濃度は $7\times 10^{16}/\text{cm}^3$ とし、エピタキシャル領域6のキャリア濃度は $1.2\times 10^{16}/\text{cm}^3$ とした。

【0042】

図3（表1）において、耐圧は、 $V_s = V_g = 0\text{V}$ にし、ドレイン電圧 V_d を上げていき、ドレイン電流が $1\mu\text{A}$ の時の V_d の値である。また、しきい値（ V_{th} ）は、ドレイン電流を1ミリアンペア、ドレイン電圧 V_d を10ボルトとした場合のデータである。また、オン抵抗（ R_{on} ）は、ドレイン電流を100ミリアンペア、ゲート電圧を10ボルトとした場合のデータである。さらに、各容量値（ C_{out} 、 C_{gd} 、 C_{ds} 、 C_{gs} ）は、ドレイン電圧 V_d を0.05ボルトとし、1メガヘルツの変調を与えた場合のデータである。

【0043】

また、ここで、 $C_{out} = C_{gd} + C_{ds}$ であり、 $C_{gg} = C_{gd} + C_{gs}$ である。

【0044】

図3（表1）から、「構造A」と「構造B」のいずれにおいても、耐圧としきい値（ V_{th} ）には、大きな差異は認められないことがわかる。つまり、n型領域9及びp型領域10を設けても、耐圧やしきい値が劣化する傾向は認められない。

【0045】

一方、オン抵抗（ R_{on} ）についてみると、「構造B」よりも「構造A」のほうがやや高くなる傾向が認められ、特に、キャリア濃度が $1\times 10^{16}/\text{cm}^3$ を超えたあたりから増大する傾向が見られる。

【0046】

これに対して、寄生容量についてみると、「構造B」よりも「構造A」のほうが全般的に低くなり、特に、半導体装置のスイッチング特性に影響を与える C_o

ut が大幅に低下する。その結果として、オン抵抗 R_{on} と C_{out} との CR 乗算値 ($*R \times C_{out}$) についてみると、「構造 B」よりも「構造 A」のほうが低くなる場合が得られることが分かる。

【0047】

図 6 は、n 型領域 9 及び p 型領域 10 のキャリア濃度に対して、CR 乗算値をプロットしたグラフ図である。また、図 7 は、その一部を拡大して表したグラフ図である。

【0048】

これらのグラフから、「構造 A」の n 型領域 9 及び p 型領域 10 のキャリア濃度を $2 \times 10^{16} / \text{cm}^3$ よりも低くした場合、CR 乗算値が「構造 B」よりも低くなることが分かる。つまり、CR 乗算値を特に下げることが必要な場合には、n 型領域 9 及び p 型領域 10 のキャリア濃度を $2 \times 10^{16} / \text{cm}^3$ よりも低くすることが望ましいことが分かる。

【0049】

次に、寄生容量について説明する。

【0050】

図 8 は、「構造 A」においてキャリア濃度に対する寄生容量の依存性を表すグラフ図である。すなわち、同図の縦軸は、ドレイン・ゲート容量 C_{gd} とドレイン・ソース容量 C_{ds} を表し、横軸は n 型領域 9 及び p 型領域 10 のキャリア濃度を表す。

【0051】

図 3 (表 1) に表した範囲においては、 C_{gd} と C_{ds} のいずれも、「構造 B」より低くなっているが、図 8 のグラフからも分かるように、これら容量成分は、キャリア濃度が $3 \times 10^{16} / \text{cm}^3$ の付近で極小を有する。キャリア濃度がこれよりも高くなると、n 型領域 9 及び p 型領域 10 を完全に空乏化できなくなり、容量は再び上昇する。

【0052】

ここで、空乏化領域の形成についてさらに具体的に説明すると、pn 接合からの空乏化領域の拡がり距離を W とした場合に、次式により表すことができる。

$$W = (2 \epsilon_s V_{bi} / q N_d)^{1/2}$$

ここで、 ϵ_s は半導体の誘電率、 V_{bi} はビルトインポテンシャル、 q は電荷、 N_d は、キャリア濃度をそれぞれ表す。 V_{bi} を0.7ボルトとすると、空乏化領域の拡がり距離 W は、以下の如くとなる。

N_d	W
$1 \times 10^{15} / \text{cm}^3$	約0.78 μm
$7 \times 10^{15} / \text{cm}^3$	約0.5 μm
$1 \times 10^{16} / \text{cm}^3$	約0.3 μm
$1 \times 10^{17} / \text{cm}^3$	0.11 μm

すなわち、n型領域9及びp型領域10のキャリア濃度が上がるにつれて、これら領域に伸びる空乏化領域の拡がり距離が小さくなる。例えば、n型領域9及びp型領域10の層厚をそれぞれ0.2 μm とした場合には、キャリア濃度を $1 \times 10^{16} / \text{cm}^3$ よりも低くした場合には、これら領域を完全に空乏化させることができるが、キャリア濃度が $1 \times 10^{17} / \text{cm}^3$ 以上になると、これら領域を完全には空乏化できなくなる。従って、n型領域9及びp型領域10のキャリア濃度は、ある程度低くすることが望ましいといえる。

【0053】

但し、現実の製造プロセスにおいては、ベース領域5やエピタキシャル領域6よりもキャリア濃度が大幅に低いn型領域9及びp型領域10を安定して形成することは容易でない場合が多い。むしろ、これら領域のキャリア濃度をベース領域5やエピタキシャル領域6のキャリア濃度に近いものとするのが製造上も容易である。

【0054】

従って、寄生容量成分が特に低い半導体装置を得るためには、n型領域9及びp型領域10のキャリア濃度を、概ね 5×10^{15} 乃至 $3 \times 10^{16} / \text{cm}^3$ の

範囲とするとよい。

【0055】

次に、n型領域9及びp型領域10の形成位置について説明する。

【0056】

図9は、n型領域9とp型領域10の形成位置と半導体装置の諸特性を表す一覧表である。

【0057】

ここでも、「構造A」は、図4に表したように、n型領域9とp型領域10が設けられた構造を表す。n型領域9およびp型領域10の層厚は、それぞれ0.2 μm とし、また、キャリア濃度は、いずれも $1 \times 10^{16} / \text{cm}^3$ とした。前述したように、この条件においては、n型領域9及びp型領域10は完全に空乏化する。

【0058】

一方、「構造B」は、図5に表したように、n型領域9とp型領域10を設けない構造とした。

【0059】

また、図9（表2）において、耐圧、 V_{th} 、 R_{on} 、 C_{out} 、 C_{gd} 、 C_{ds} 、 C_{gg} の定義及び測定条件は、図3（表1）に関して前述したものと同様とした。

【0060】

またここで、「接合位置」は、図10に表したように、n型領域9とp型領域10とのpn接合がトレンチの底から0.1 μm だけ上方に設けられた場合、 $R \times C_{out}$ の積が最も良くなるため、ここを基準の「0 μm 」と設定する。pn接合がこれよりも下方の場合を「プラス」、上方の場合を「マイナス」とした。

【0061】

図11は、pn接合位置に対するCR乗算値（ $*R \times C_{out}$ ）の関係を表すグラフ図である。pn接合位置が「プラス」方向、すなわち下方にずれるとCR乗算値（ $*R \times C_{out}$ ）が増大することが分かる。これは、寄生容量 C_{out} は低下するのに対して、オン抵抗 R_{on} がこれを上回るほど上昇するからであ

る。

【 0 0 6 2 】

これに対して、p n 接合位置が「マイナス」方向、すなわち上方にずれた場合には、C R 乗算値は「構造 B」よりも低く、良好な特性が得られることが分かる。

【 0 0 6 3 】

図 1 2 は、p n 接合位置がプラス 0 . 2 μ m の場合の電流分布を表す模式図である。

【 0 0 6 4 】

また、図 1 3 及び図 1 4 は、それぞれ p n 接合位置がゼロ、マイナス 0 . 2 μ m の場合の電流分布を表す模式図である。

【 0 0 6 5 】

トレンチゲートにバイアスを印加することによりその周囲の半導体領域には反転チャネル領域が形成される。しかし、図 1 2 に表したように、空乏化した n 型領域 9 及び p 型領域 1 0 がトレンチの底部よりも下方にずれていると、p 型領域 1 0 に反転チャネル領域が形成されないため、電流に対して障壁を構成する。その結果として、オン抵抗が 6 0 6 オーム (Ω) と増大してしまう。

【 0 0 6 6 】

これに対して、図 1 3 に表したように、p n 接合位置が 0 (ゼロ) μ m の場合には、p 型領域 1 0 の一部がゲートバイアスにより反転されて電流チャネルが形成されるため、オン抵抗は 1 6 . 1 オームまで低下する。

【 0 0 6 7 】

さらに、図 1 4 に表したように、p n 接合位置がマイナス 0 . 2 μ m の位置まで上方にずれると、p 型領域 1 0 はその厚み方向の全体に亘ってトレンチゲートに接する。すなわち、ゲートバイアスにより p 型領域 1 0 に形成される反転チャネルは、p 型領域 1 0 を上下に貫通し、電流経路が確保される。その結果として、オン抵抗は 1 0 オームまで低下する。このオン抵抗は、「構造 B」すなわち n 型領域 9 及び p 型領域 1 0 が設けられていない場合と同一の値であり、p 型領域 1 0 を設けることによるオン抵抗の上昇を完全に解消できることが分かる。

【0068】

以上説明したように、オン抵抗についてみると、p型領域10がその厚み方向に亘ってトレンチゲートに接するように設けることが望ましい。

【0069】

一方、寄生容量についてみると、pn接合位置が、「プラス0.2 μ m」から「マイナス0.3 μ m」までの範囲に亘って、「構造B」よりも低い値が得られている。ただし、「マイナス0.3 μ m」とした場合には、Coutが466となり、「構造B」のCout値である493に近い値まで上昇してしまう。これは、図14からも分かるように、トレンチゲートの底部がp型領域10を貫通して下方に突出してしまうため、この部分での寄生容量を低減することができないからである。

【0070】

つまり、寄生容量を特に低下させることが必要な場合には、トレンチゲートの底部がp型領域10の範囲内にあるようにn型領域9及びp型領域10を設けることが望ましい。

【0071】

そして、図9（表2）及び図11からも分かるように、pn接合位置が0（ゼロ） μ mの場合に、CR乗算値が極小（3.7）となり、「構造B」の4.9と比較して顕著な性能向上が可能となる。CR乗算値からみると、トレンチの底部がp型領域10の領域内にあるか、またはトレンチがp型領域10を貫通するように形成すると良好な結果が得られることが分かる。

【0072】

なお、現実の製造プロセスを考慮すると、p型領域10及びn型領域9を形成した後、トレンチを開口してゲートを形成する場合が多い。このトレンチ開口プロセスにおいて、トレンチ深さにある程度の「ばらつき」が生ずることを考慮すると、pn接合位置の設定値としては、図15に例示したように、0 μ mの基準位置よりも多少、上方にずらしておくことが安全である。ここで、図15は、pn接合位置を「マイナス0.1 μ m」すなわち、上方に0.1 μ mだけずらした場合を例示する。

【 0 0 7 3 】

このように、 $p-n$ 接合のプロセス設定位置を最適位置よりも上方にずらしておけば、形成プロセスの「ばらつき」によって、トレンチが設定値よりも浅く形成された場合でも、図 1 2 に表した如く、トレンチの底部が p 型領域 1 0 に至らずオン抵抗 R_{on} が増大するという問題を防ぐことができる。

【 0 0 7 4 】

以上、図 1 乃至図 1 5 を参照しつつ説明したように、本実施形態によれば、トレンチゲートの底部付近に、 n 型領域 9 及び p 型領域 1 0 を設け、動作状態においてこれらを空乏化させることにより、半導体装置の寄生容量を低下させることができる。その結果として、 CR 乗算値も低下させ、動作特性の優れたトレンチゲート型の半導体装置を提供することができる。

【 0 0 7 5 】

なお、以上の説明においては、 $MOSFET$ に本実施形態を適用した場合を例に挙げたが、本発明はこれに限定されるものではない。

【 0 0 7 6 】

図 1 6 は、本実施形態にかかる $IGBT$ の要部断面構造を例示する模式図である。同図については、図 1 乃至図 1 5 に関して前述したものと同様の要素には同一の符号を付して詳細な説明は省略する。

【 0 0 7 7 】

この $IGBT$ は、 n 型ソース（エミッタ）領域 2 にエミッタ電極 E が接続され、また、 n 型基板 7 の裏面側には、 p^+ 型コレクタ領域 1 2 が設けられ、コレクタ電極 C に接続されている。

【 0 0 7 8 】

このような $IGBT$ においても、 n 型領域 9 及び p 型領域 1 0 を設け、動作状態においてこれらを空乏化させることにより、寄生容量を低減して良好な動作特製が得られる。

【 0 0 7 9 】

以上、図 1 乃至図 1 6 においては、 n 型領域 9 と p 型領域 1 0 とがそれぞれ 1 層ずつ設けられた半導体装置を例示したが、本発明はこれには限定されない。

【 0 0 8 0 】

図 1 7 は、n 型領域 9 と p 型領域 1 0 とがそれぞれ 2 層ずつ設けられた半導体装置を表す模式図である。同図については、図 1 乃至図 1 6 に関して前述したものと同様の要素には同一の符号を付して詳細な説明は省略する。

【 0 0 8 1 】

図 1 7 の具体例の場合、ベース領域 5 とエピタキシャル領域 6 との間に、2 層の n 型領域 9 と 2 層の p 型領域 1 0 とが交互に設けられてられている。この場合も、それぞれの n 型領域 9 及び p 型領域 1 0 の間に形成される p n 接合のビルトイン・ポテンシャルにより、外部バイアス電圧がゼロの状態でも、これら p 型領域 9 及び n 型領域 1 0 の全てを空乏化させることが可能である。

【 0 0 8 2 】

また、p 型領域 9 と n 型領域 1 0 の層数は、図示したような各 2 層には限定されない。すなわち、3 層以上の p 型領域と n 型領域とをそれぞれ交互に積層させてもよい。

【 0 0 8 3 】

このように、複数の p 型領域 9 と n 型領域 1 0 とを積層させた場合、それぞれの層厚を薄くすることができる。つまり、図 2 に例示したような空乏化領域 D P を、層厚が薄い複数の p 型領域 9 と n 型領域 1 0 とにより分割して形成できる。その結果として、p 型領域 9 と n 型領域 1 0 の各層を空乏化させることが、より容易となり、空乏化領域 D P を形成するためのキャリア濃度などの制約が緩和されるという利点がある。

【 0 0 8 4 】

(第 2 の実施の形態)

次に、本発明の第 2 の実施の形態として、トレンチゲートの周囲に n 型領域を設けることにより電流パスを確保し、オン抵抗の増大を抑制しつつ寄生容量の低下が可能な半導体装置について説明する。

【 0 0 8 5 】

図 1 8 は、本実施形態にかかる第 1 の半導体装置の断面構造を例示する模式図である。同図についても、図 1 乃至図 1 7 に関して前述したものと同様の要素に

は、同一の符号を付して詳細な説明は省略する。

【0086】

本具体例の場合、p型領域10は、トレンチゲートから離間して設けられ、これらの間にはn型領域11が設けられている。このようにすれば、同図に矢印で例示した如く、チャンネル電流のパスが確保される。つまり、本実施形態によれば、図12に関して前述したようなp型領域10によるオン抵抗の増大を確実に防ぐことができる。

【0087】

そして、第1実施形態と同様に、p型領域10とそれに隣接したn型領域9及び11との間に形成されるpn接合から空乏化領域が伸びる。この空乏化領域は、例えば図2に例示したようにトレンチゲートの周囲を空乏化させるため、寄生容量が低下する。つまり、本実施形態によれば、オン抵抗の増大を確実に阻止しつつ、寄生容量を低下させることが可能である。その結果として、CR乗算値を低下させて、高性能の半導体装置を提供することができる。

【0088】

なお、本具体例の半導体装置の製造方法としては、例えば、以下のような方法を用いることができる。

【0089】

まず、第1の方法として、トレンチの内側からn型不純物を拡散させる方法を挙げることができる。すなわち、層状のp型領域10、n型領域9、p型ベース領域5を形成した後、トレンチを開口する。しかる後に、トレンチ内側からn型不純物を周囲の半導体領域に導入することにより、n型領域11を形成することができる。

【0090】

一方、第2の方法として、不純物を選択的に導入することにより形成する方法を挙げることができる。すなわち、トレンチの形成の前または後に、イオン注入法などの方法によりp型不純物を選択的に導入することにより、図18に表したようなp型領域10を形成することができる。または、連続的な層状のp型領域を形成した後に、n型不純物を選択的に導入することにより、n型領域11を形

成してもよい。

【0091】

図19は、本実施形態にかかる第2の半導体装置の断面構造を例示する模式図である。同図についても、図1乃至図18に関して前述したものと同様の要素には同一の符号を付して詳細な説明は省略する。

【0092】

本具体例の場合、p型領域10は、トレンチゲートの側面においては接触して設けられているが、トレンチゲートの底部においては接触しておらず、その代わりにn型領域11が設けられている。

【0093】

ゲートバイアスを印加することにより、トレンチゲートに接触したp型領域10にも反転チャンネルが形成され、電流パスが形成される。このような反転チャンネルは、トレンチゲートの側面や底部に接触した領域に形成され、トレンチゲートの底から下方に離れた部分には、反転チャンネルは及ばない。

【0094】

これに対して、本実施形態においては、この反転チャンネルが及ばないトレンチの下方においては、n型領域11を設けることにより電流パスが確保し、オン抵抗の増加を確実に防ぐことができる。

【0095】

また一方、p型領域10とその周囲のn型領域との間に形成されるpn接合からは、例えば図2に例示したように空乏化領域が伸びる。その結果として、トレンチゲートの底部付近は空乏化領域により覆われて、寄生容量を大幅に低減することができる。

【0096】

図20は、本実施形態にかかる第3の半導体装置の断面構造を例示する模式図である。同図についても、図1乃至図19に関して前述したものと同様の要素には同一の符号を付して詳細な説明は省略する。

【0097】

本具体例の場合、n型領域9とp型領域10は、トレンチゲートの深さ方向に

対して垂直な面内において交互に配列されている。

【0098】

図21及び図22は、図20に表した半導体装置のn型領域9及びp型領域10の配列パターンを例示する模式図である。すなわち、これらの図は、n型エピタキシャル領域6の上にn型領域9及びp型領域10が配列された状態を表す斜視図である。

【0099】

図21に例示したように、n型領域9及びp型領域10を縦横方向に沿って交互に設けることができる。または、図22に例示したように、n型領域9及びp型領域10をそれぞれストライプ状に形成し、交互に配列してもよい。このようにn型領域9とp型領域10とが面内に交互に配列した構造は、例えば、イオン注入法などにより選択的に不純物を導入することにより形成可能である。

【0100】

本具体例においては、これらいずれの構造においても、n型領域9とp型領域10は、互いのpn接合により空乏化されるように、そのサイズとキャリア濃度とが設定されている。

【0101】

例えば、第1実施形態に関して前述したように、n型領域9とp型領域10のキャリア濃度がそれぞれ $1 \times 10^{16} \text{ cm}^{-3}$ の場合、ゼロバイアス条件でpn接合が $0.3 \mu\text{m}$ までの領域が空乏化される。従って、n型領域9とp型領域10の面内方向（トレンチの深さ方向に対して垂直な方向）のサイズが $0.6 \mu\text{m}$ 以下であれば、これらn型領域9及びp型領域10は、接合空乏化した状態となる。

【0102】

また同様に、n型領域9とp型領域10のキャリア濃度がそれぞれ $1 \times 10^{17} \text{ cm}^{-3}$ の場合、ゼロバイアス条件でpn接合が $0.11 \mu\text{m}$ までの領域が空乏化される。従って、n型領域9とp型領域10の面内方向（トレンチの深さ方向に対して垂直な方向）のサイズが $0.2 \mu\text{m}$ 以下であれば、これらn型領域9及びp型領域10は、接合空乏化した状態となる。

【 0 1 0 3 】

このように、本具体例の場合、 n 型領域 9 及び p 型領域 10 の面内方向サイズをキャリア濃度に応じて適宜設定すれば、これら領域を完全に空乏化させることが容易である。そして、このような空乏化領域によってトレンチゲートを覆うことにより、第 1 実施形態に関して前述したように、寄生容量を効果的に低下させることができる。寄生容量を効果的に低下させるためには、第 1 実施形態に関して前述したように、これら n 型領域 9 と p 型領域 10 の上面と下面との間にトレンチゲートの底部が位置するように設けるとよい。

【 0 1 0 4 】

但し、 n 型領域 9 及び p 型領域 10 のキャリア濃度が $3 \times 10^{17} \text{ cm}^{-3}$ を超えると、これら領域を完全に空乏化させるためには、そのサイズを $0.1 \mu\text{m}$ 以下としなければならない。しかし、このような微細なサイズの n 型領域 9 及び p 型領域 10 を面内に交互に形成することは製造プロセス上、容易でない場合が多い。従って、本具体例の場合、 n 型領域 9 及び p 型領域 10 のキャリア濃度の上限は、概ね $3 \times 10^{17} \text{ cm}^{-3}$ とすることが望ましい。

【 0 1 0 5 】

一方、本具体例の場合、 n 型領域 9 がトレンチの深さ方向に沿ってベース領域 5 とエピタキシャル領域 6 とを繋いでいるので、チャネル電流のパスも確保される。その結果として、オン抵抗 (R_{on}) を低下させることができる。

【 0 1 0 6 】

また、図 23 に例示したように、 n 型領域 9 及び p 型領域 10 のサイズを微細にして、チャネル電流のパスを均一に分散させて確保することも容易となる。

【 0 1 0 7 】

なお、本具体例における n 型領域 9 及び p 型領域 10 の平面パターンは、図 21 及び図 22 に表したのものには限定されない。これらの他にも、例えば、それぞれの平面パターンを三角形状や六角形状などの多角形状としてもよく、または、 n 型領域 9 (p 型領域 10) の面内に複数の p 型領域 10 (n 型領域 9) がドット状などに分散したようなパターンとしてもよい。

【 0 1 0 8 】

なお、本実施形態についても、M O S F E T には限定されず、例えば、図 1 6 に例示したような I G B T にも同様に適用して同様の作用効果が得られる。

【 0 1 0 9 】

以上、具体例を参照しつつ本発明の実施の形態について説明した。しかし、本発明は、これらの具体例に限定されるものではない。

【 0 1 1 0 】

例えば、図 1 乃至図 2 3 においては、一方の主電極が素子の上面側に設けられ、他方の主電極が素子の裏面側に設けられた、いわゆる「縦型」の構造を例示したが、本発明はこれには限定されず、いずれの主電極も素子の同一面側に設けられた、いわゆる「横型」の構造の半導体装置についても同様に適用して同様の作用効果を得ることができる。

【 0 1 1 1 】

また、本発明の半導体装置の構造、およびこれを構成する各要素の材料、不純物、導電型、厚み、サイズ、形状などの具体的な構成については、当業者が公知の範囲から適宜選択したものも、本発明の要旨を含む限り本発明の範囲に包含される。

【 0 1 1 2 】

【発明の効果】

以上詳述したように、本発明によれば、「オン抵抗」や「耐圧」を大幅に劣化させることなく、「寄生容量」を低下させることにより総合的な性能を改良できる。その結果として、高速で損失の少ないスイッチング動作が可能となり、電力制御用インバータの動作において、「デッドタイム」を減らすことができる。その結果として、電力変換効率を上げることができるなど、産業上のメリットは多大である。

【図面の簡単な説明】

【図 1】

本発明の第 1 の実施の形態にかかる半導体装置の要部断面構造を例示する模式図である。

【図 2】

p 型領域 1 0 と n 型領域 9 との p n 接合から空乏化領域 D P が拡がった状態を表す概念図である。

【図 3】

n 型領域 9 と p 型領域 1 0 のキャリア濃度と半導体装置の諸特性を表す一覧表である。

【図 4】

「構造 A」を例示する模式図である。

【図 5】

「構造 B」を例示する模式図である。

【図 6】

n 型領域 9 及び p 型領域 1 0 のキャリア濃度に対して、C R 乗算値をプロットしたグラフ図である。

【図 7】

図 6 の一部を拡大して表したグラフ図である。

【図 8】

「構造 A」においてキャリア濃度に対する寄生容量の依存性を表すグラフ図である。

【図 9】

n 型領域 9 と p 型領域 1 0 の形成位置と半導体装置の諸特性を表す一覧表である。

【図 1 0】

n 型領域 9 と p 型領域 1 0 との p n 接合がトレンチの底から $0.1 \mu\text{m}$ だけ上方に設けられた場合を表す模式図である。これを「 $0 \mu\text{m}$ 」の基準位置と定義した。

【図 1 1】

p n 接合位置に対する C R 乗算値 ($*R \times C_{out}$) の関係を表すグラフ図である。

【図 1 2】

p n 接合位置がプラス $0.2 \mu\text{m}$ の場合の電流分布を表す模式図である。

【図 1 3】

p n 接合位置がゼロ μ m の場合の電流分布を表す模式図である。

【図 1 4】

p n 接合位置がマイナス 0. 2 μ m の場合の電流分布を表す模式図である。

【図 1 5】

p n 接合位置を 0 μ m の位置よりも多少、上方にずらした構造を表す模式図である。

【図 1 6】

本発明の第 1 実施形態にかかる I G B T の要部断面構造を例示する模式図である。

【図 1 7】

n 型領域 9 と p 型領域 1 0 がそれぞれ 2 層ずつ設けられた半導体装置を表す模式図である。

【図 1 8】

本発明の第 2 実施形態にかかる第 1 の半導体装置の断面構造を例示する模式図である。

【図 1 9】

第 2 実施形態にかかる第 2 の半導体装置の要部断面構造を例示する模式図である。

【図 2 0】

第 2 実施形態にかかる第 3 の半導体装置の要部断面構造を例示する模式図である。

【図 2 1】

n 型領域 9 及び p 型領域 1 0 の平面的な配列パターンの一例を表した斜視図である。

【図 2 2】

n 型領域 9 及び p 型領域 1 0 の平面的な配列パターンを一例を表した斜視図である。

【図 2 3】

n 型領域 9 及び p 型領域 1 0 を微細に形成した具体例を表す模式図である。

【図 2 4】

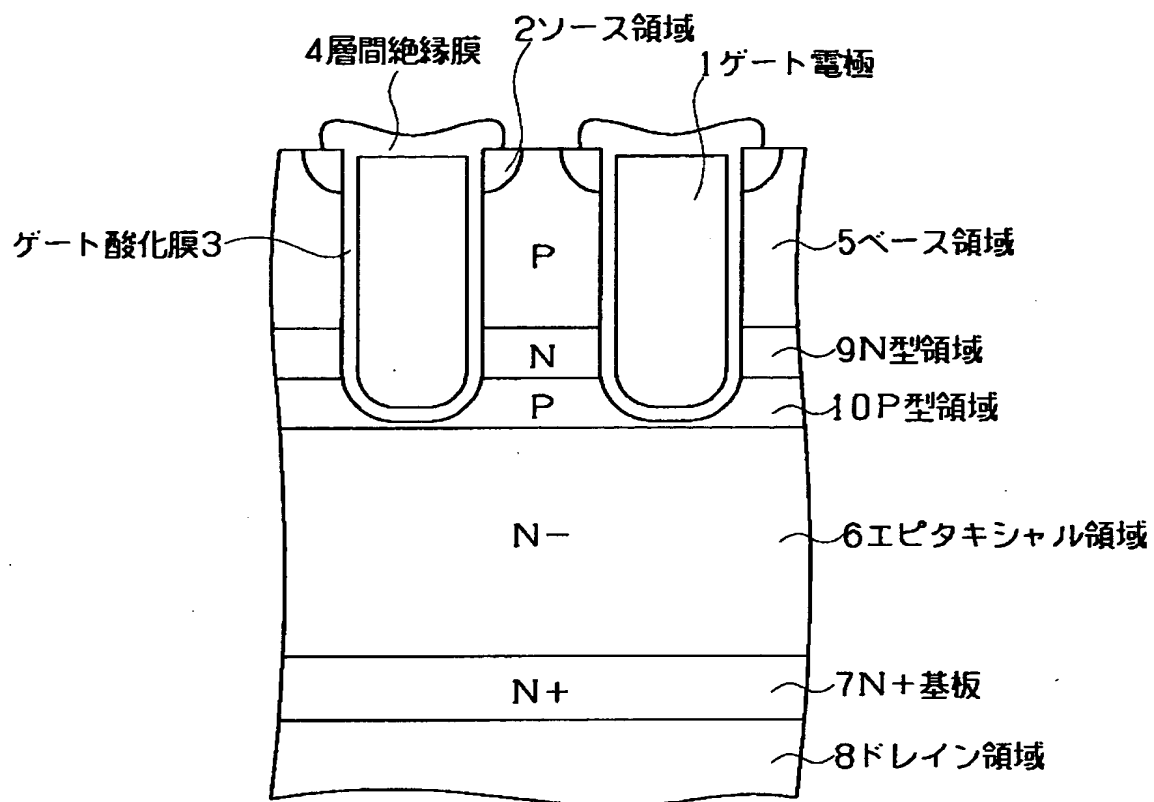
本発明者が本発明に至る過程で検討した半導体装置の断面構造を表す模式図である。

【符号の説明】

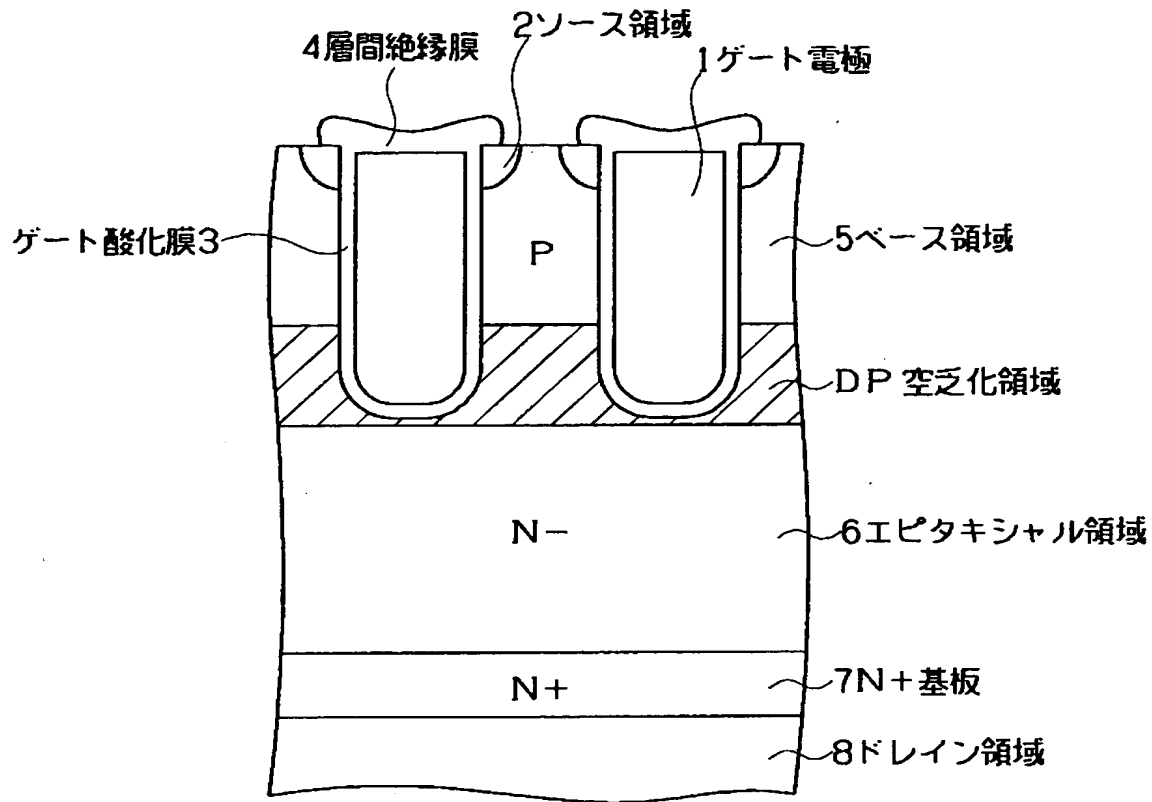
- 2 n 型ソース領域
- 3 ゲート酸化膜
- 4 層間絶縁膜
- 5 p 型ベース領域
- 6 n 型エピタキシャル領域
- 7 n 型基板
- 8 ドレイン領域
- 9 n 型領域
- 1 0 p 型領域
- 1 1 n 型領域
- 1 2 p 型コレクタ領域
- D P 空乏化領域

【書類名】 図面

【図 1】



【図2】

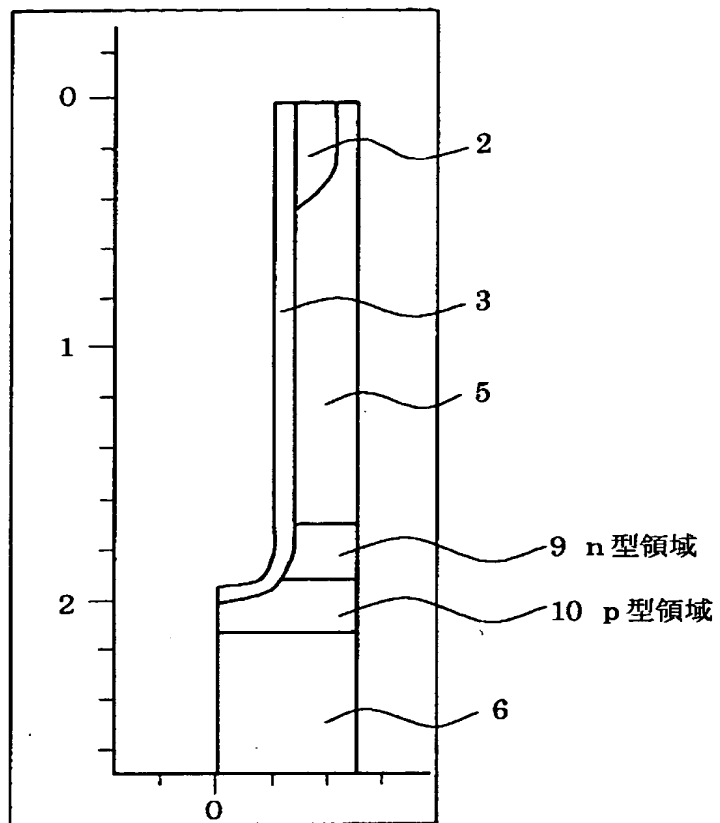


【図 3】

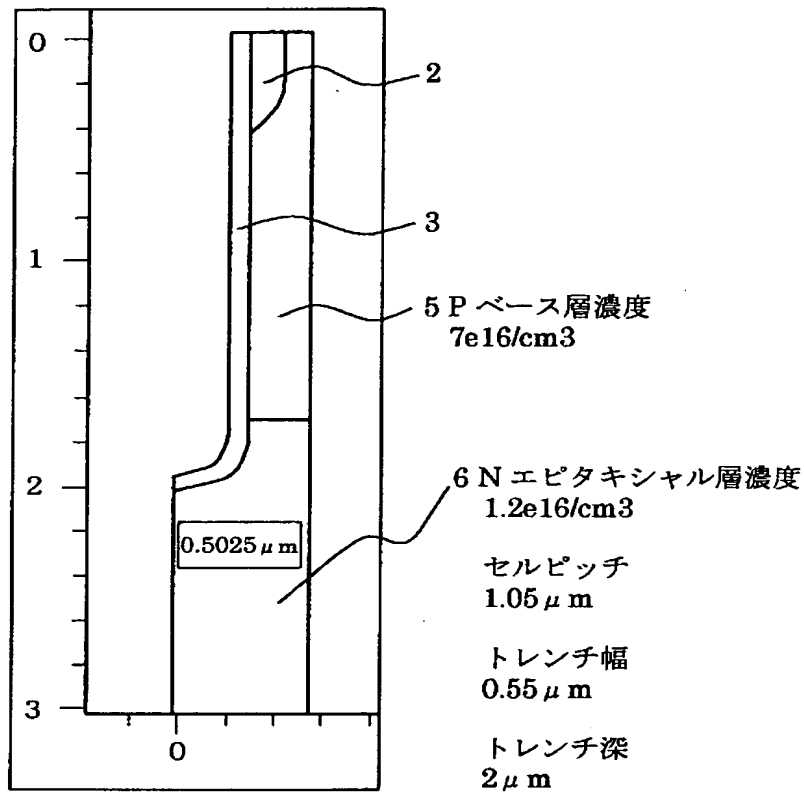
	構造A										構造B	
	1E+12	1E+14	5E+14	8E+14	2E+15	1E+16	2E+16	3E+16	1E+17	1E+18		
キャリア濃度	1E+12	1E+14	5E+14	8E+14	2E+15	1E+16	2E+16	3E+16	1E+17	1E+18	構造B	
耐圧	45.2	—	—	44.9	45	45	44.9	45			—	
v_{th}	1.24	—	—	1.23	1.23	1.23	1.22	1.22			45.2	
R_{on}	13.3	13.3	13.3	13.3	13.4	16.1	29	128			1.24	
C_{out}	313.8	313	309	307	300	228	197	177	201	236	10	
C_{gd}	239	238	236	234	229	173	150	137	155	167	493	
C_{ds}	74.8	75	73	73	71	55	47	40	46	69	366	
C_{gg}	1863	1724	1788	1786	1781	1724	1697	1678			127	
$*R \times C_{out}$	4.2	4.2	4.1	4.1	4.0	3.7	5.7	22.7			1863	
FET面積	1mm3	1mm2	1mm2	1mm2	1mm2	1mm2	1mm2	1mm2			4.9	
											1mm2	

表1

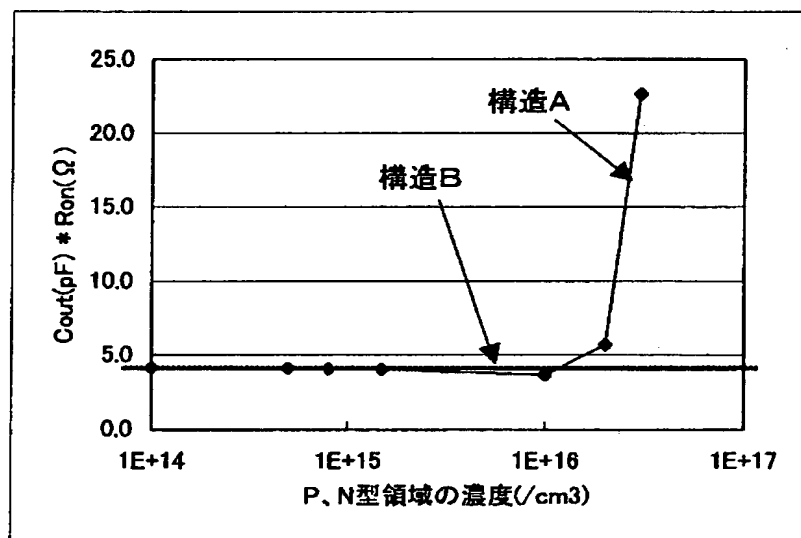
【図 4】



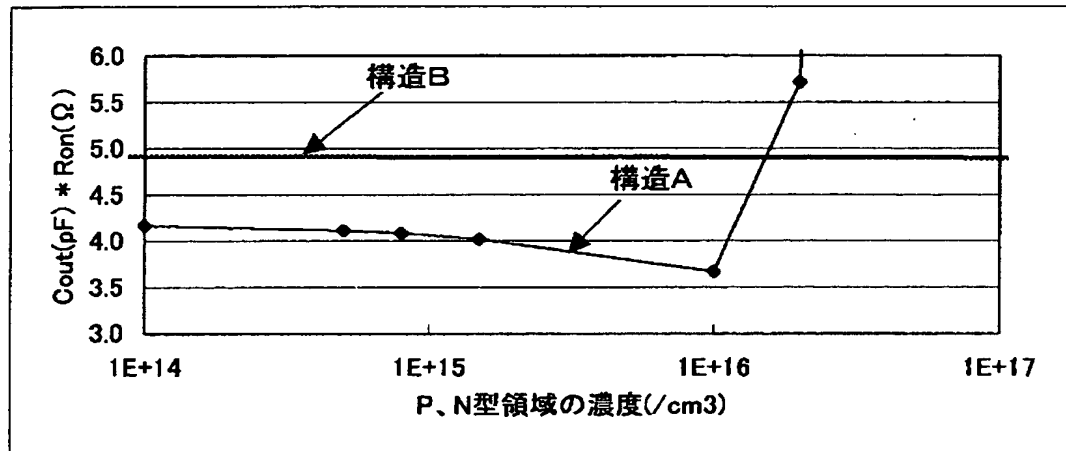
【図 5】



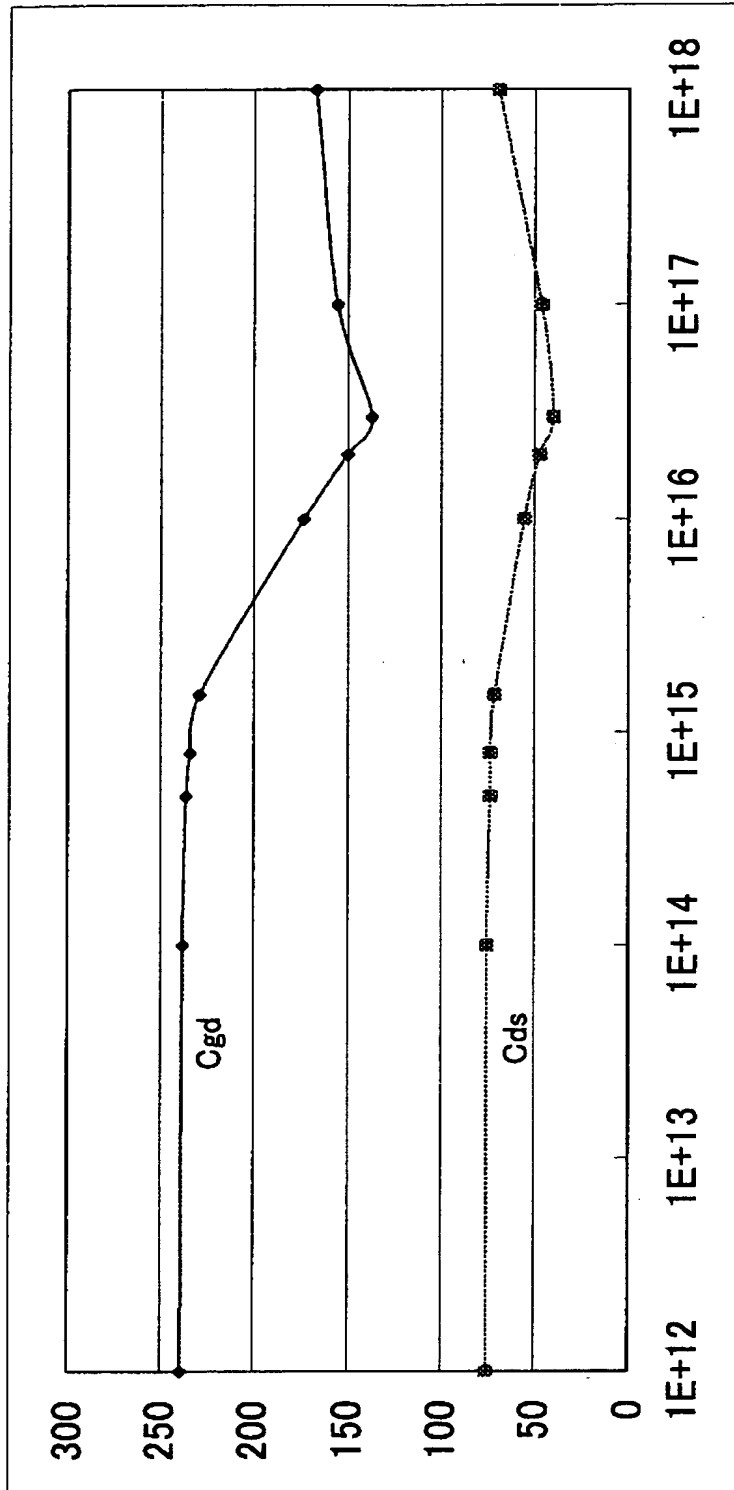
【図 6】



【図 7】



【図 8】

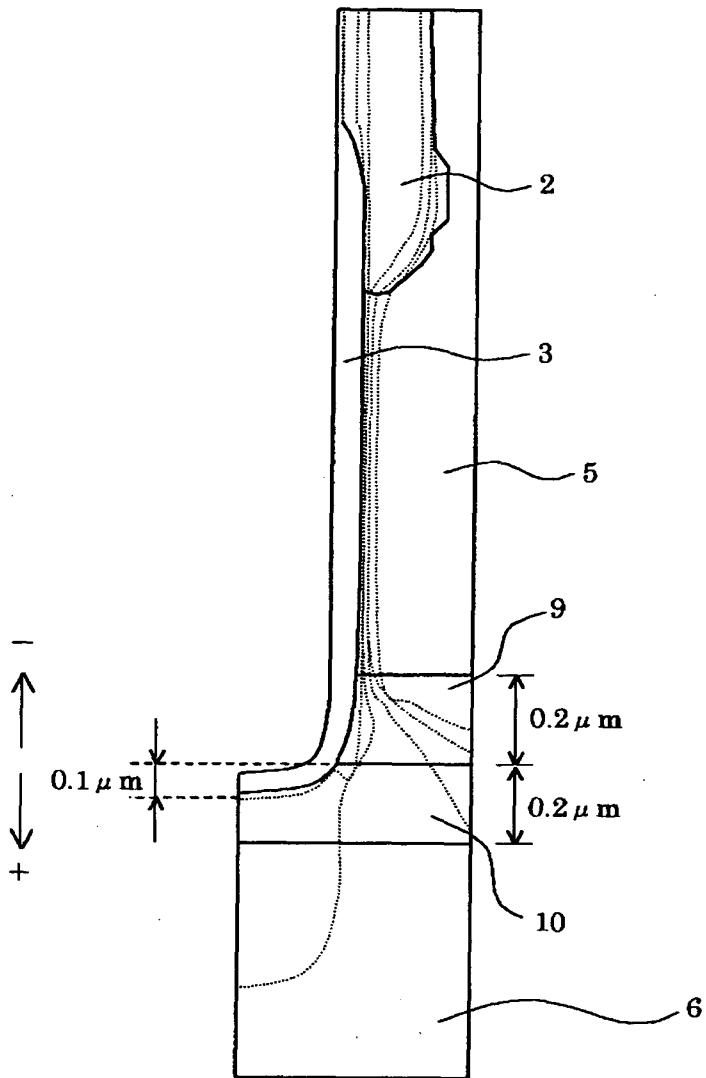


【図 9】

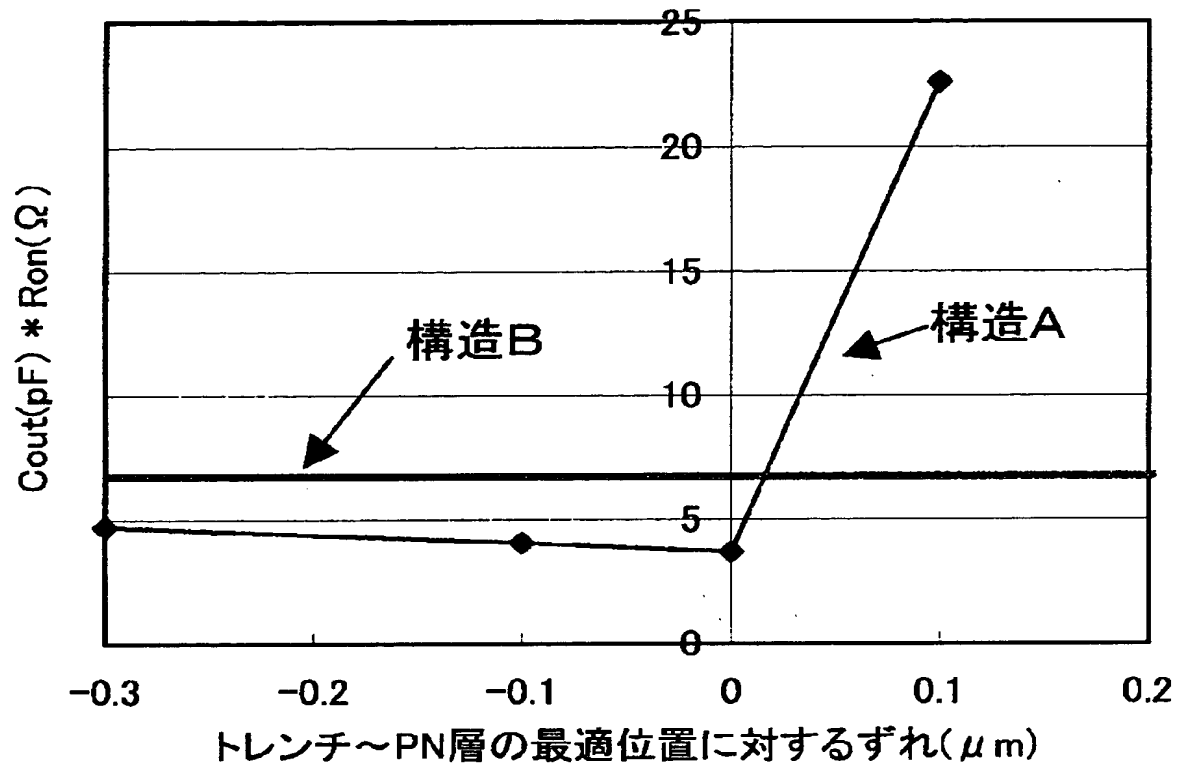
接合位置	構造A						構造B
	0	+0.1μm 下方	+0.2μm 下方	-0.1μm 上方	-0.2μm 上方	-0.3μm 上方	
耐压	45	45	45.2	45.3	45	45	-
vth	1.23	1.3	1.36	1.21	1.13	1.06	Id=1mA Vd=Vs=0V
Ron	16.1	122	606	12.9	10	10	Id=1mA Vd=10V
Cout	228	185	252	314	398	466	Id=100mA Vg=10V
Cgd	173	116	149	260	350	421	Accoupled方法 Vd=0.05V 1MHz
Cds	55	69	103	54	48	45	
Ceg	1786	1781	1724	1697	1678	1760	
*R × Cout	3.7	22.6	152.7	4.1	4.0	4.7	
FET面積	1mm2	1mm2	1mm2	1mm2	1mm2	1mm2	

表2

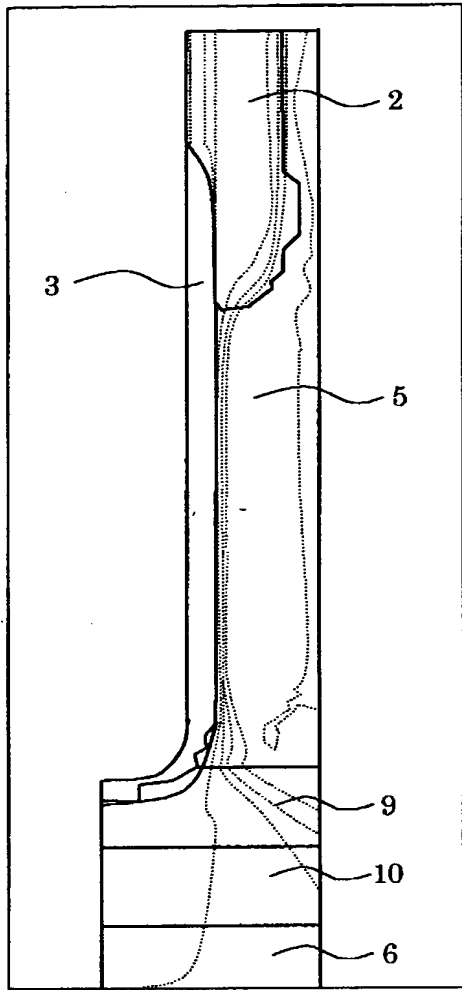
【図 10】



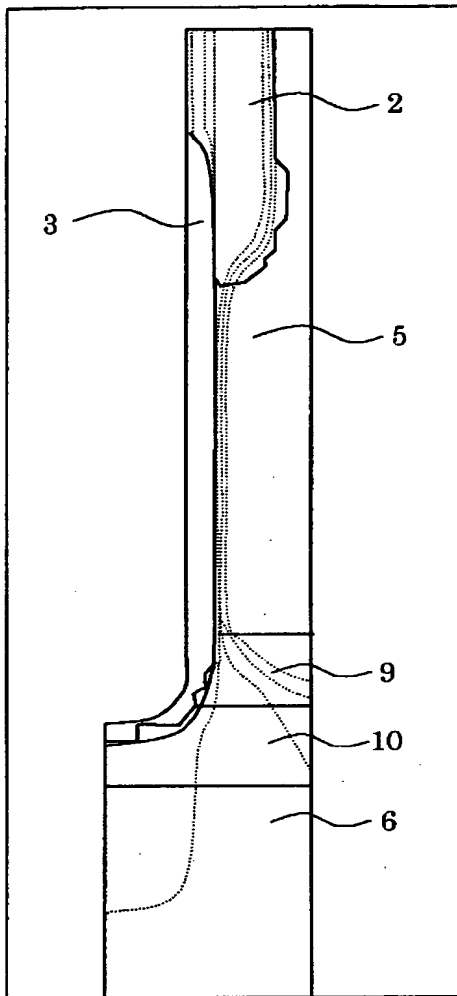
【図 1 1】



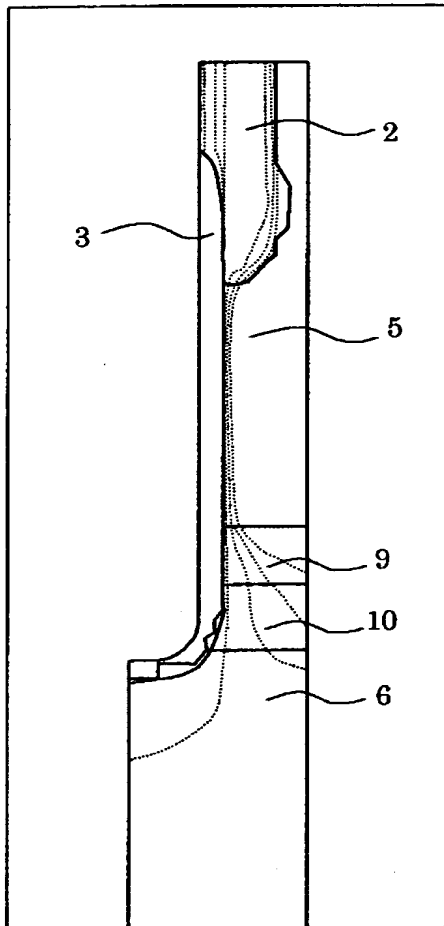
【図 1 2】



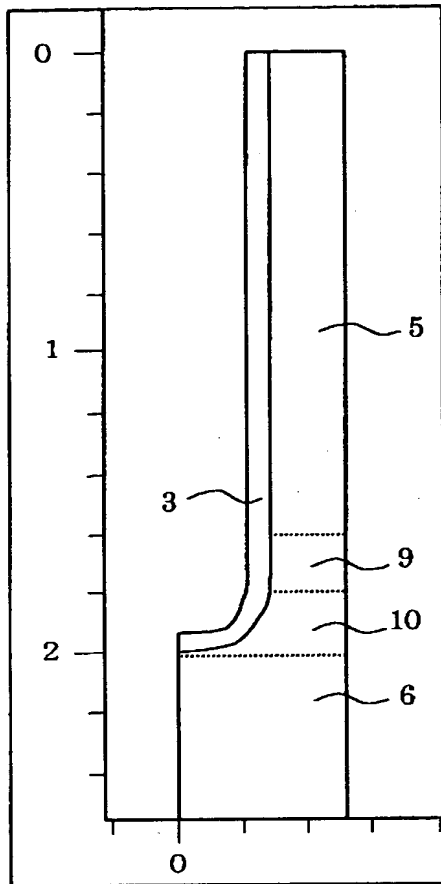
【図 1 3】



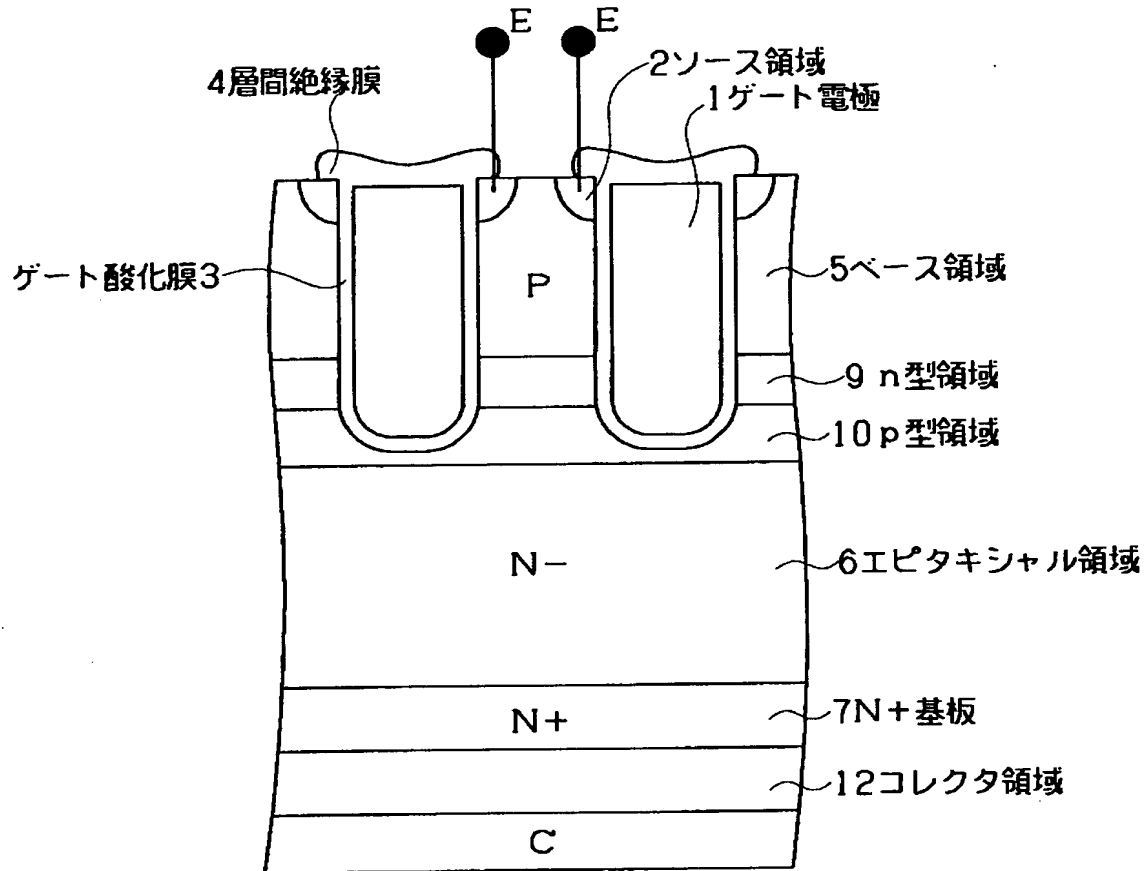
【図 1 4】



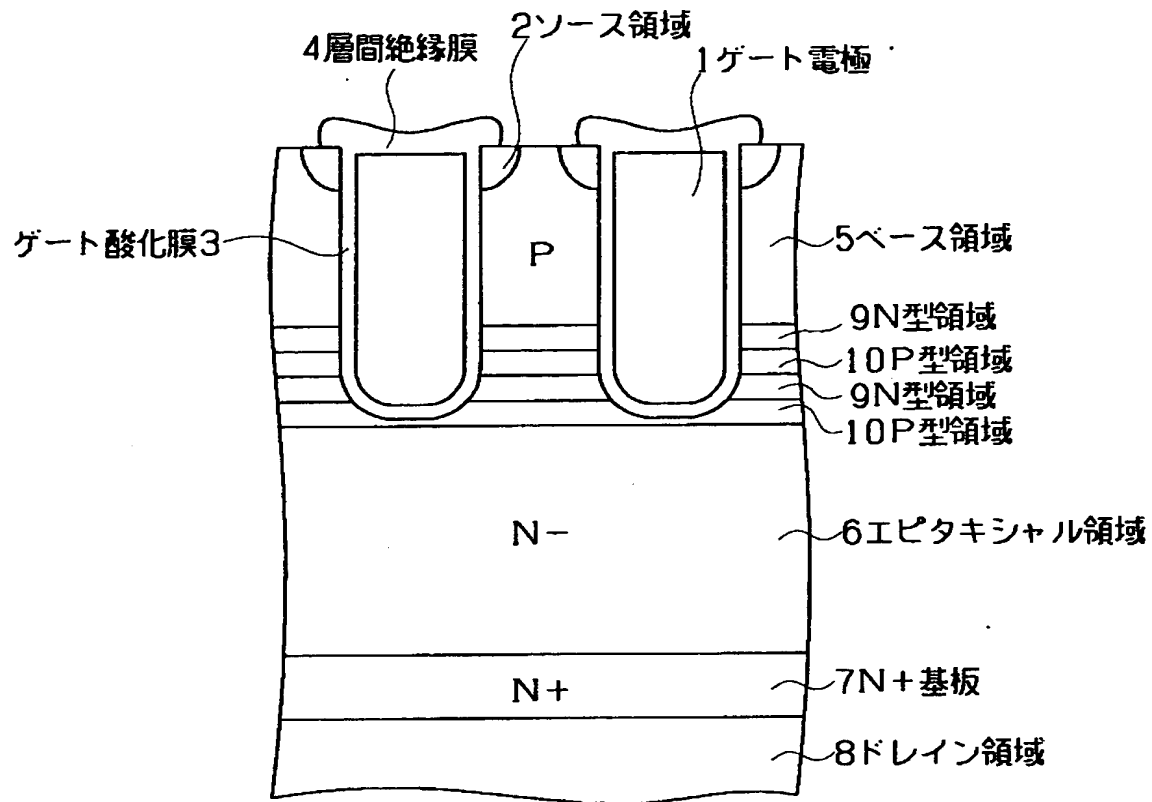
【図 1 5】



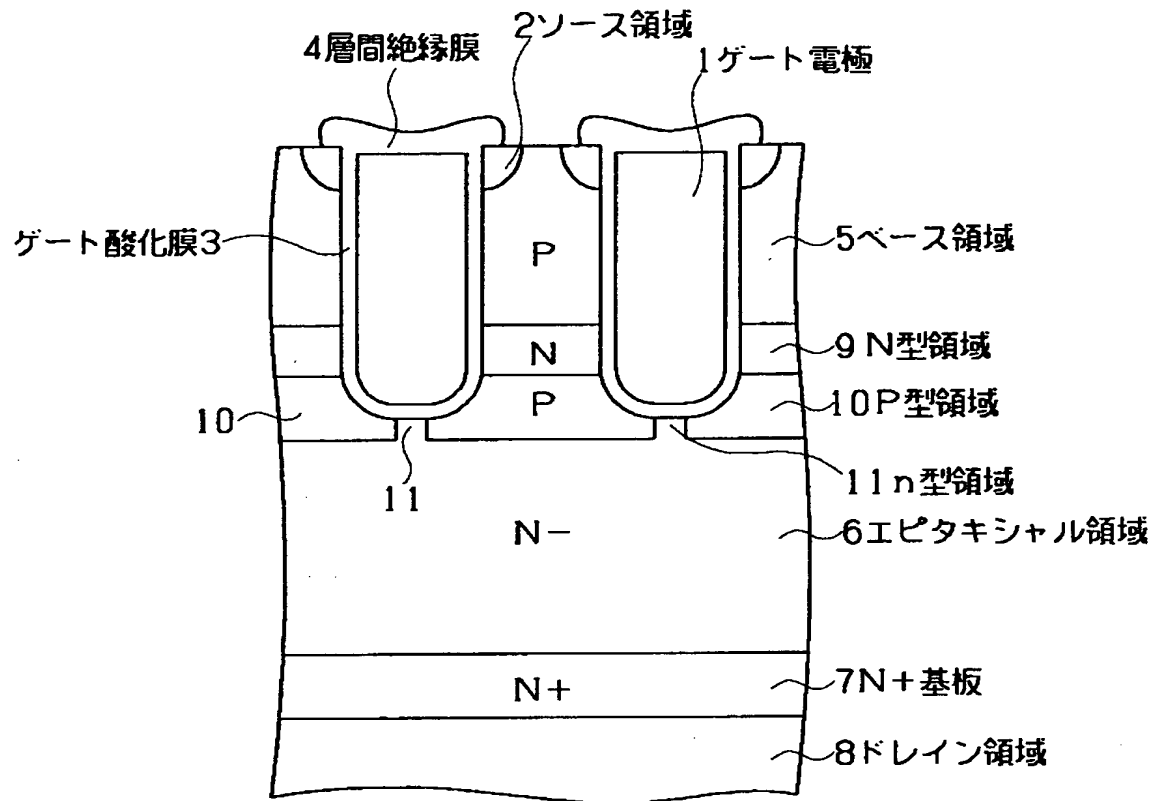
【図16】



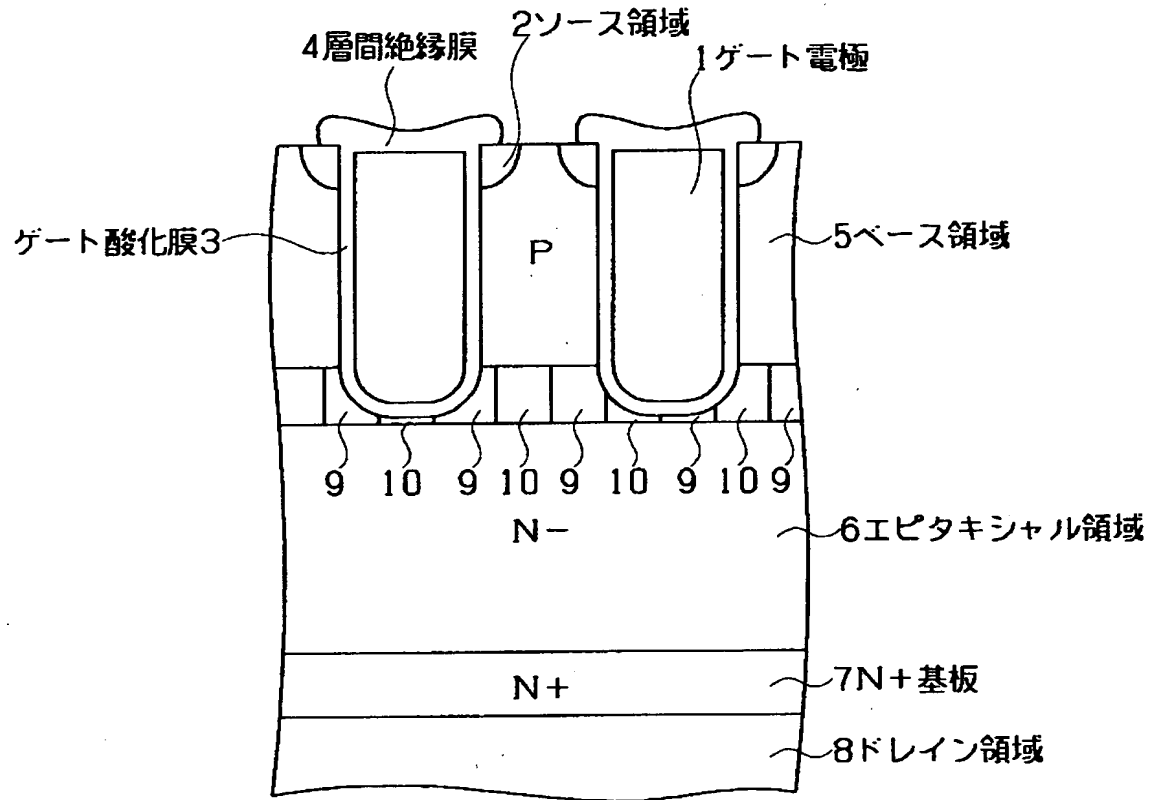
【図17】



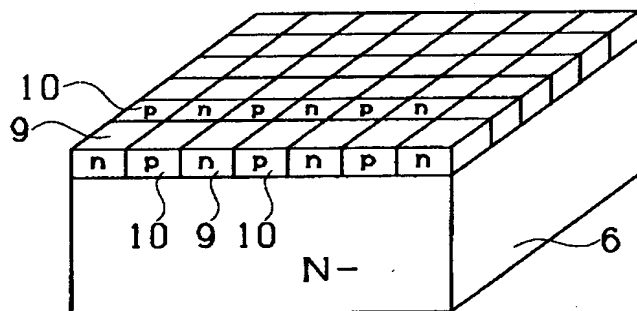
【図19】



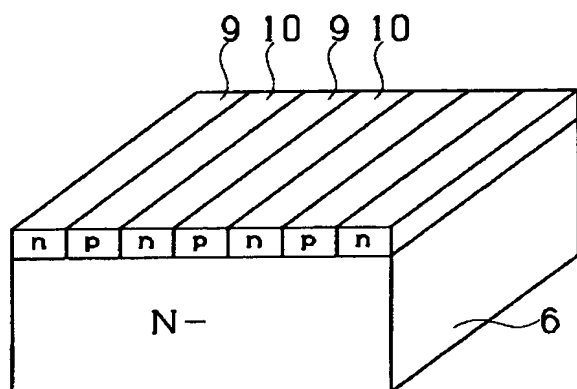
【図 20】



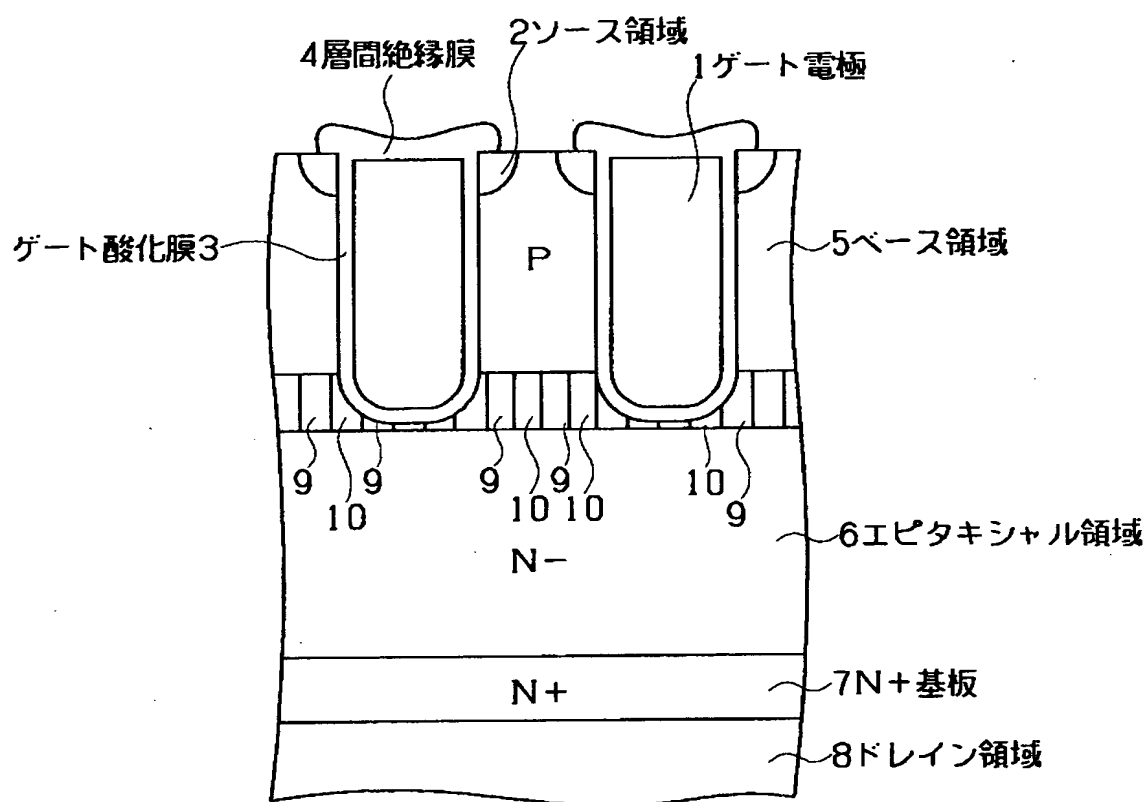
【図 2 1】



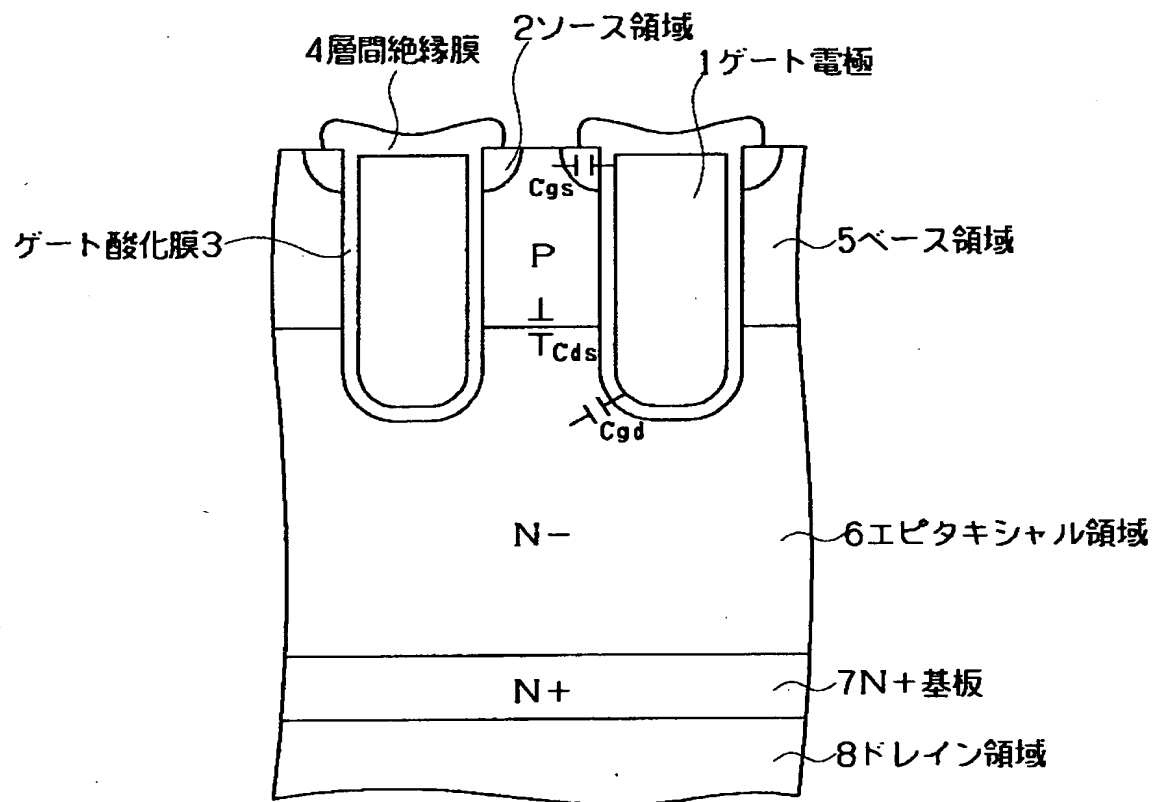
【図 22】



【図 23】



【図 24】



【書類名】 要約書

【要約】

【課題】 「オン抵抗」や「耐圧」を大幅に劣化させることなく、「寄生容量」を低下させることにより総合的な性能を改良できるトレンチゲート型の半導体装置を提供することを目的とする。

【解決手段】 第1の主電極と、第2の主電極と、第1導電型の半導体ベース領域(5)と、前記半導体ベース領域を貫通して形成されたトレンチ内に絶縁膜(3))を介して設けられたゲート電極(1)と、前記半導体ベース領域の下に設けられた第2導電型の半導体領域(9)及び第1導電型の半導体領域(10)と、を備えたトレンチゲート型の半導体装置であって、前記第2導電型の半導体領域と前記第1導電型の半導体領域との接合部分から伸びる空乏化領域(DP)が前記トレンチに至ることを特徴とする半導体装置を提供する。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号 [000003078]

1. 変更年月日	2001年 7月 2日
[変更理由]	住所変更
住 所	東京都港区芝浦一丁目1番1号
氏 名	株式会社東芝